



Engenharia Informática e de Computadores
Processamento Digital de Sinal 1

Processadores Digitais de Sinal

Artur Ferreira

arturj@cc.isel.ipl.pt

DEETC / ISEL

- O processamento digital de sinal;
- Algoritmos típicos de processamento de sinal;
- Arquitectura de processadores de sinal;
- Comparação com outros microprocessadores;
- Processadores de vírgula fixa e flutuante;
- Linguagens de programação;
- A família de processadores TMS320C3x;

Significado de DSP

- *Software: DSP - Digital Signal Processing.*
É a utilização de computadores (processadores) para analisar e processar sinais.
- *Hardware: DSP - Digital Signal Processor.*
É um processador com arquitectura e conjunto de instruções dedicado a operações de processamento de sinal.

Tipos de processamento de sinal

- off-line, o sinal está completamente disponível para o processamento;
Exemplo: sinal de electro-cardiograma, sinal de movimentos sísmicos;
- real-time (tempo real), o sinal é adquirido, processado e reproduzido simultaneamente;
Exemplo: cancelamento de eco nas comunicações móveis, disfarce do sinal de voz.

As tarefas principais de um microprocessador são:

1. a manipulação e transferência de dados;
 2. cálculos matemáticos.
- Genericamente, os microprocessadores realizam estas duas tarefas, mas é difícil (caro) ter a arquitectura optimizada para as duas;
 - As arquitecturas de processamento digital de sinal são vocacionadas para executar operações matemáticas repetitivas com elevado grau de paralelismo.

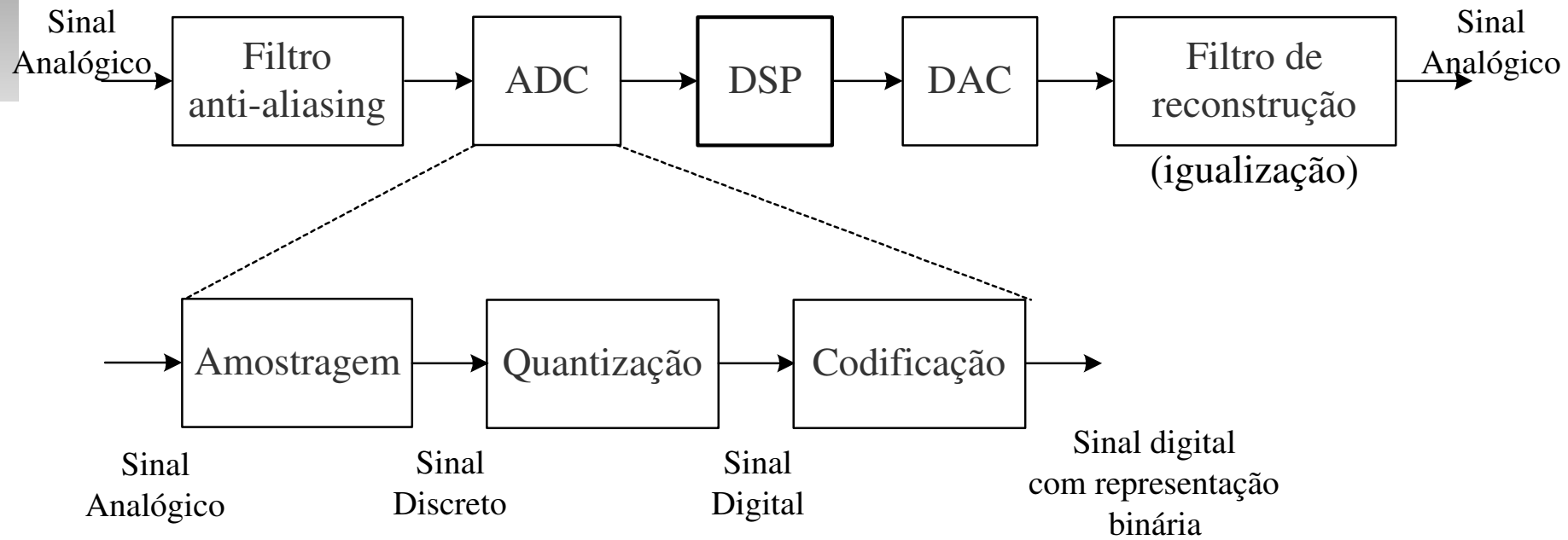
Exemplo: Filtragem com sistema FIR

Considere-se um FIR, com resposta impulsional $h[n] = b_0\delta[n] + b_1\delta[n - 1] + \dots + b_N\delta[n - N]$, o qual é descrito pela equação às diferenças

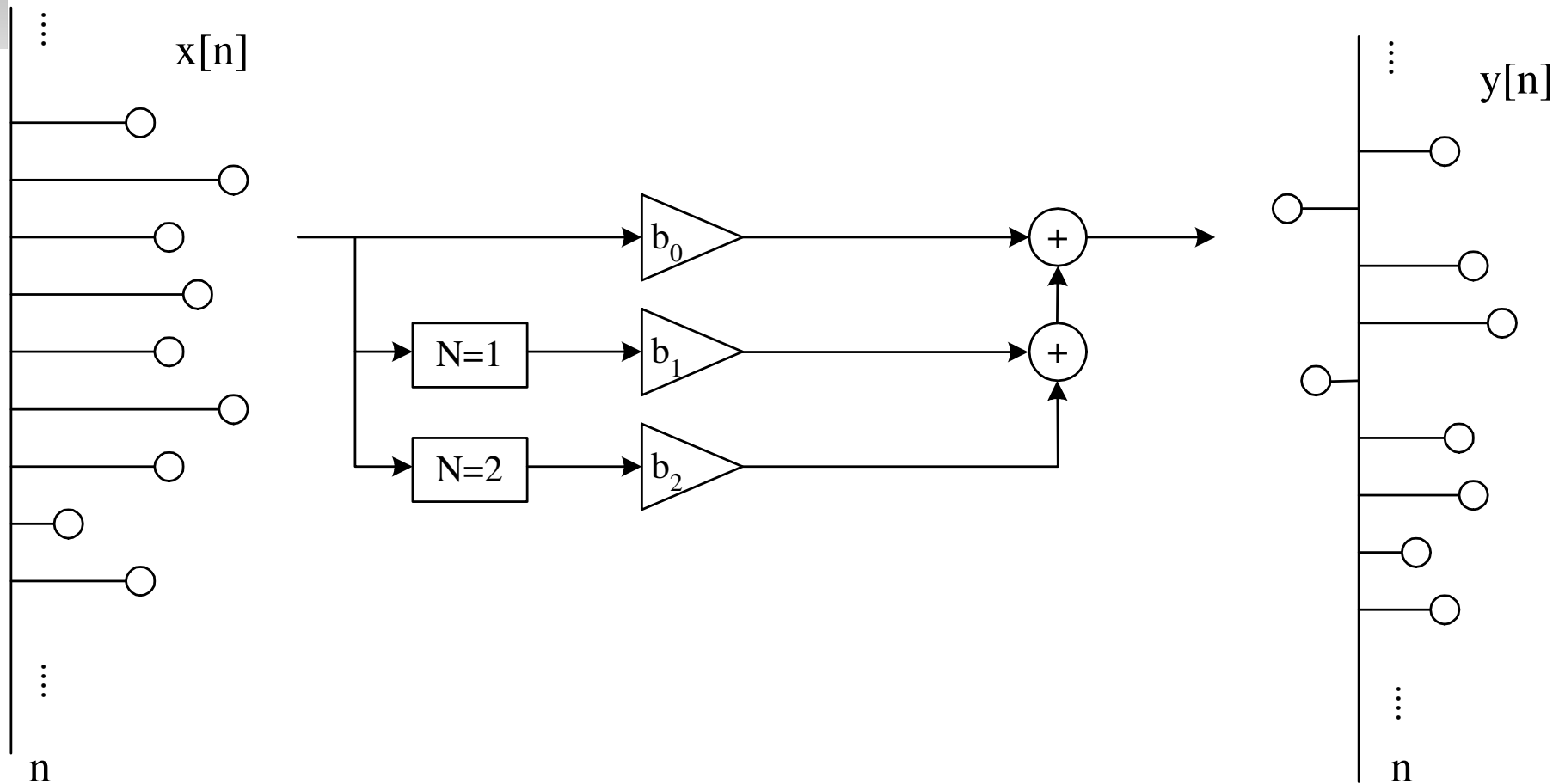
$$y[n] = \sum_{k=0}^N b_k x[n - k] = b_0 x[n] + \dots + b_N x[n - N].$$

- Em cada instante, a amostra na saída resulta de $N + 1$ produtos escalares;
- Predominância das operações escalares produto e acumulação (produto interno) (ciclo repetitivo);
- Diferente das operações típicas de edição, listagem, ordenação de texto, etc.

Arquitectura de sistema de DSP



Exemplo: Filtragem com sistema FIR



Implementação de um FIR: $y[n] = \sum_{k=0}^N b_k x[n - k]$.

1. Obter a amostra a partir do ADC (por interrupção ou *poling*);
2. Detectar e tratar a interrupção;
3. Colocar o acumulador a zero;
4. Recolher a amostra;
5. Multiplicar as amostras pelo vector de coeficientes e colocar o resultado no acumulador;
6. Mover o valor do acumulador para o DAC;

Características da arquitectura

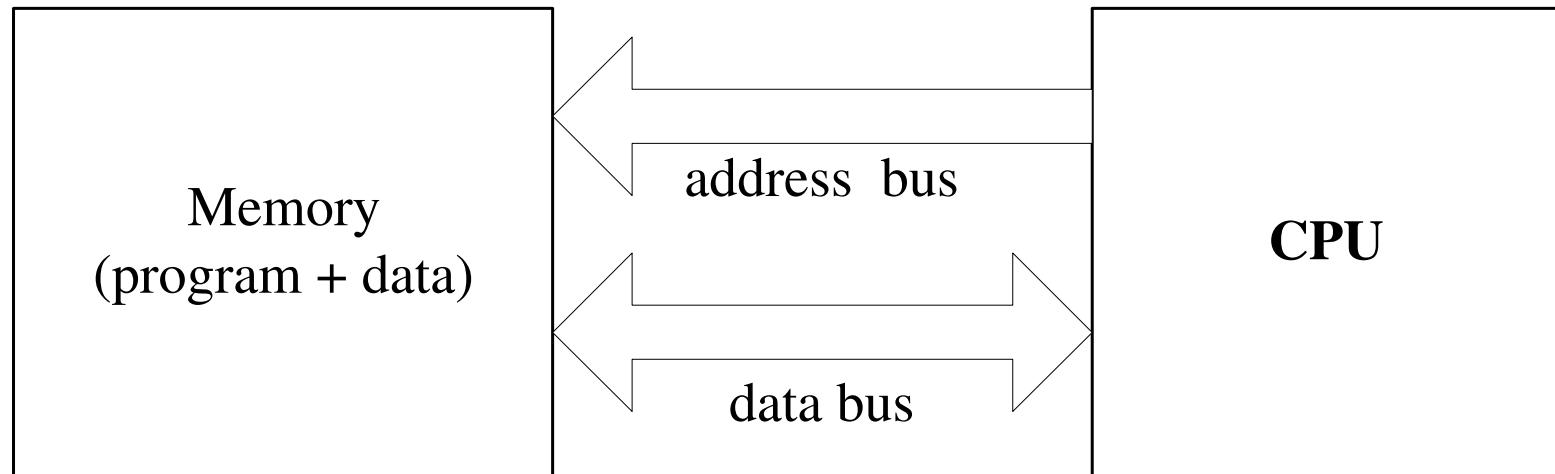
- Rapidez na conversão analógico-digital e digital-analógico (amostragem, quantização e codificação); solução *mixed-signal*;
- Paralelismo na execução das acções;
- Optimização da operação produto/acumulação (endereçamento circular);
- O grande problema é receber a amostra, efectuar os cálculos e enviar a amostra resultante antes que a próxima esteja disponível.

- **Von Neumann:** uma memória para programa e dados;
- **Harvard:** memória de programa e memória de dados;
- **Super Harvard:** adiciona *instruction cache* e *I/O controller*.

John Von Neumann (1903-1957), matemático Húngaro, naturalizado americano.

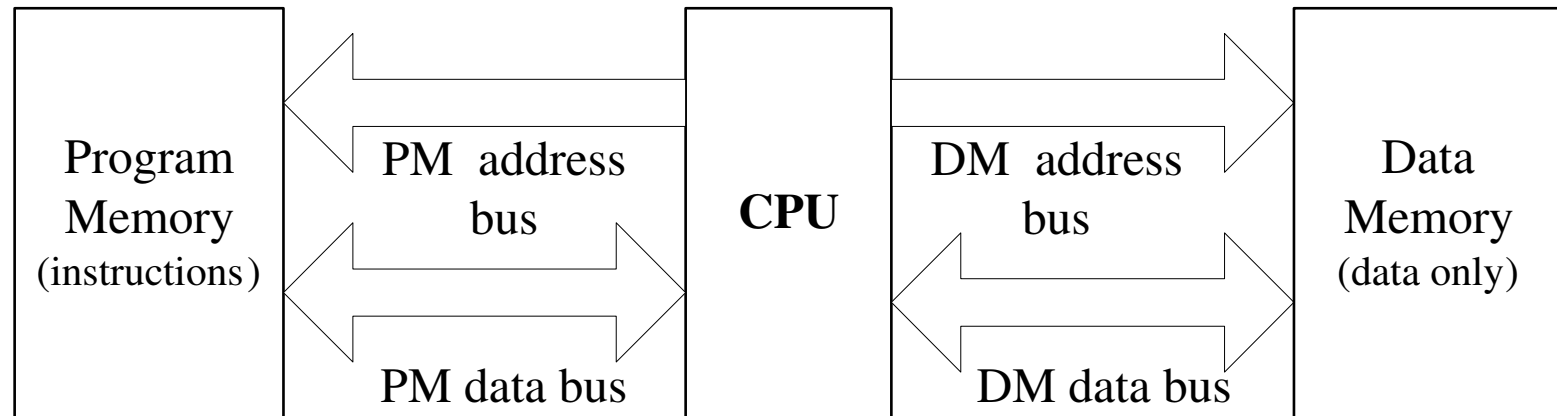
Harvard, universidade americana onde Howard Aiken (1900-1973) propôs este modelo.

Arquitectura Von Neumann



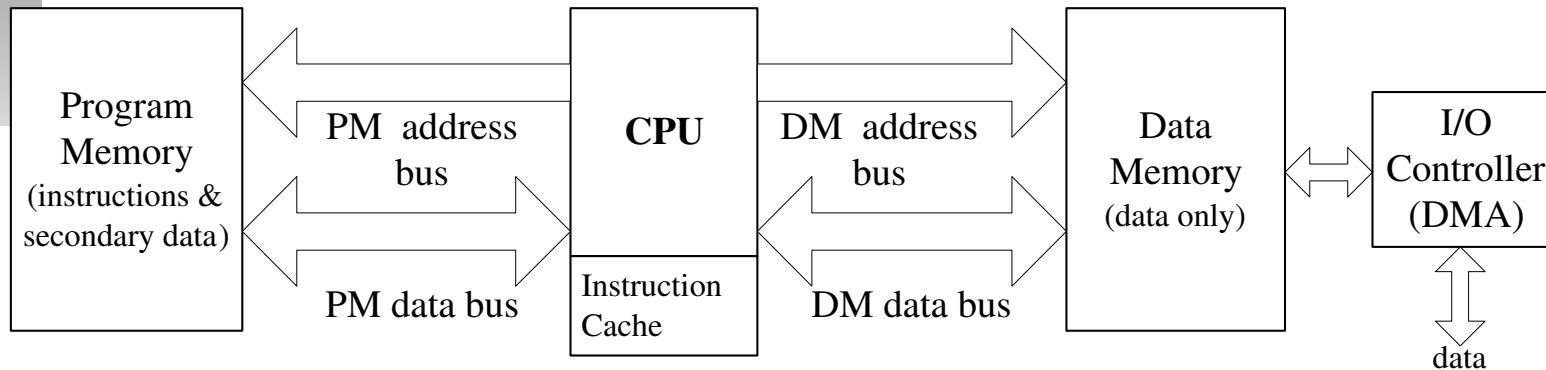
- Usa uma memória para programa e dados;

Arquitetura Harvard



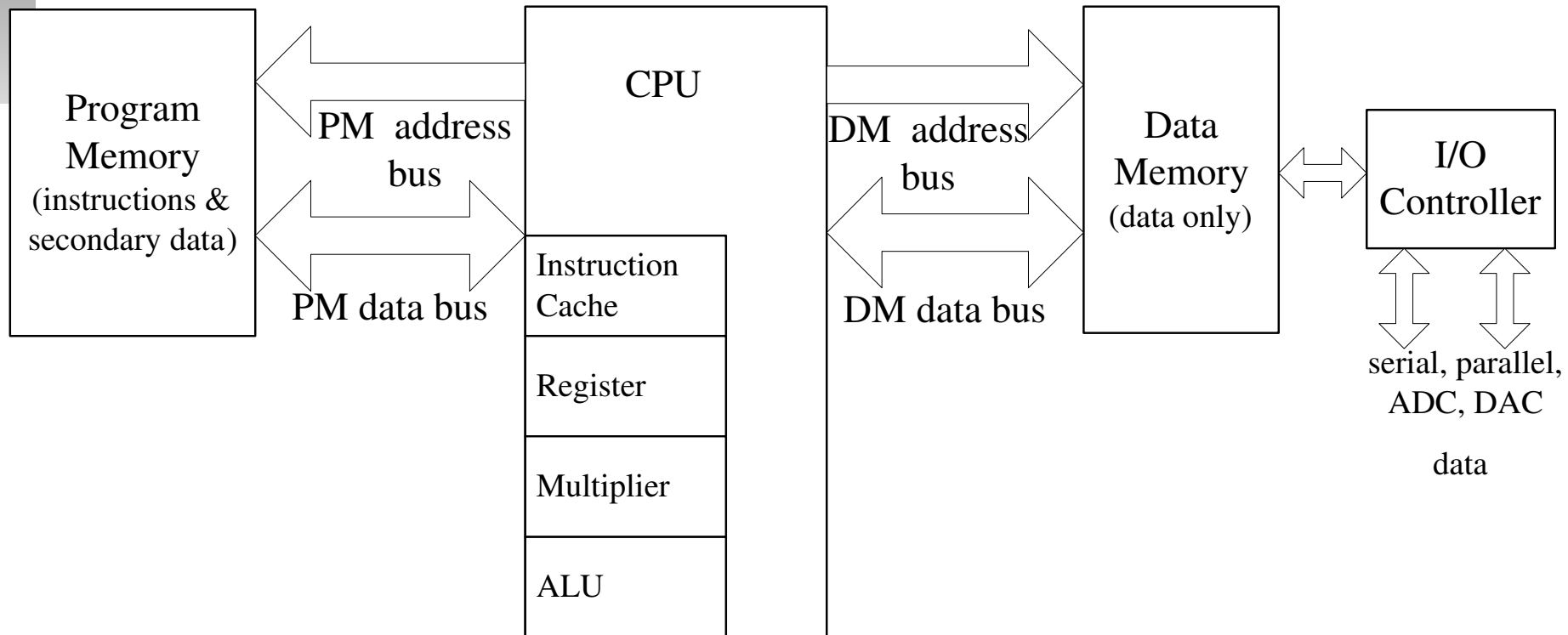
- Usa uma memória para programa e outra para dados;
- BUS distintos para programa e dados;
- O BUS de dados tem mais ocupação do que o de programa;

Arquitectura Super Harvard



- Dados e dados secundários;
- *Instruction cache*: guarda as últimas instruções (ciclos repetitivos);
- *I/O controller*: interface com o exterior; porta série ou paralela e conversores;

Arquitetura típica do processador



Forma de representação dos dados

Processadores de **vírgula fixa** e **vírgula flutuante**.

Em **vírgula fixa** usam-se 8, 16, 24 ou 32 *bit* para representar o número;

- Por exemplo, com 16 *bit*:
 - **unsigned integer**: $\{0, \dots, 2^{16} - 1\}$;
 - **signed integer**: $\{-2^{15}, \dots, 0, \dots, 2^{15} - 1\}$;
 - **unsigned fraction**: $\{0, \dots, 1\}$, com $\Delta = \frac{1}{2^{16}}$;
 - **signed fraction**: $\{-1, \dots, 1\}$, com $\Delta = \frac{1}{2^{16}}$;
- Δ é a resolução (intervalo de quantização);

Processadores de vírgula flutuante

- usam o mínimo de 32 *bit* para representar o número;
- os valores não estão uniformemente espaçados existindo pequenos intervalos na gama de pequenos valores e grandes intervalos para valores maiores;
- a gama típica de valores é $\pm 3.4 \times 10^{38}$ e $\pm 1.2 \times 10^{-38}$;

Comparação entre vírgula fixa e flutuante

- Possuem velocidade de execução idêntica;
- Vírgula fixa tem baixo custo;
- Vírgula flutuante tem:
 - maior gama dinâmica e maior precisão;
 - *hardware* mais complexo, maior dimensão do BUS, aritmética *floating-point*;
 - maior custo (2 a 3 × mais caro) e maior precisão;
 - tempo de desenvolvimento mais curto;

Linguagens de programação

- Tipicamente são utilizadas duas linguagens de programação: *assembly*; C;
- Com linguagem *assembly* obtém-se execução mais rápida; usa-se em sub-rotinas críticas;
- Geralmente, em linguagem C o desenvolvimento é mais rápido;
- Interligação entre C e *assembly* é solução para alguns casos.

Rapidez de execução

A velocidade de execução é medida pelo número de operações executadas numa unidade de tempo:

- MIPS - *Million Integer Operations Per Second*, para os processadores de vírgula fixa;
- MFLOPS - *Million Floating Point Operations Per Second*, para os processadores de vírgula flutuante.

- Texas Instruments TMS320C24x DSP Generation
- 16 bit Fixed Point, 20-40 MIPS; 20/40 MHz;
- Texas Instruments TMS320C28x DSP Generation
- 32 bit Fixed Point, up to 400 MIPS; 150 MHz;
- Texas Instruments TMS320C31-80, 40 Bit
Floating-Point DSP, 80 MFLOPS, 40 MIPS, 80
MHz;
- Analog Devices ADSP-21065L: 32/40-Bit
Floating-Point Math; 32-Bit Fixed-Point MACS with
64-Bit Product and 80-Bit Accumulation; 132
MFLOPS; 66 MHz.

Resumo das características dos DSP

- Elevado ritmo de transferência input/output;
- Alto grau de paralelismo na execução de uma instrução;
- Optimização da arquitectura para operações matemáticas repetitivas (ciclos);
- Comutação eficiente de contexto nas interrupções;
- Separação entre dados, dados secundários e programa;

A família TMS320C3x da Texas Instruments

- Baseada na arquitectura Super Harvard;
- CMOS Floating point DSP (32-bit); XTAL=30 MHz;
- Executa até 60 MFLOPS;
- Executa até 11 operações numa instrução;
- Inclui portas série, DMA e TIMER (microcontrolador);
- Ciclo máquina 30 nS; ciclo instrução 60 nS;

A conversão analógico-digital tem resolução de 14 *bit*;

Referências bibliográficas

- *The Scientist and Engineer's Guide to Digital Signal Processing*, Steven W. Smith, www.dspguide.com;
- Texas Instruments: www.ti.com;
- Texas Instruments DSP Developers' Village: <http://www.dspsvillage.com/>;
- Analog Devices: <http://www.analog.com>;